

Cours 2. Inverseur CMOS en mode courant

Dimitri Galayko,
dimitri.galayko@lip6.fr

LIP6
University of Paris-VI
France

Cours IP-AMS
ACSI M2
Novembre 2009

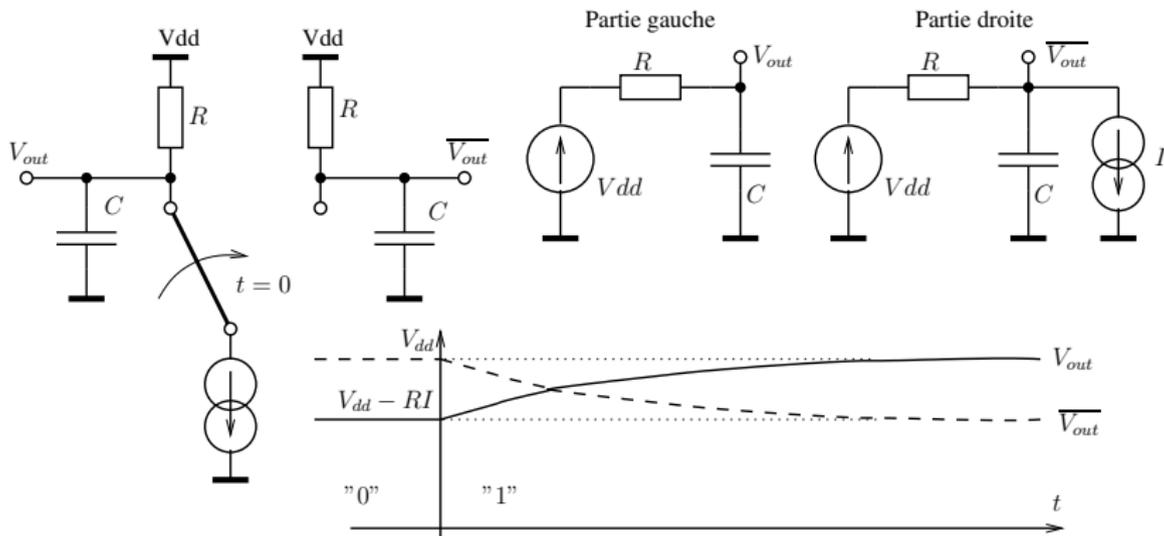
Outline

- 1 Logique en mode courant : principes
- 2 Transistor MOS
- 3 Analyse d'inverseur en mode grand signal
- 4 Analyse petit signal
- 5 Réalisation de la charge
- 6 Fréquence d'oscillations
- 7 Polarisation : considérations élémentaires

Logique en mode courant

Circuit idéal : inverseur/suiveur

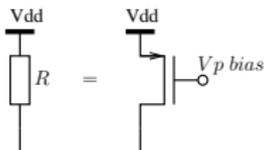
A $t > 0$ (après la commutation) :



La transition est exponentielle, avec une constante de temps de RC .

Logique en mode courant

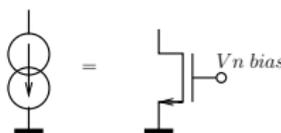
Réalisation pratique



PMOS

Le transistor est ici en régime ohmique.

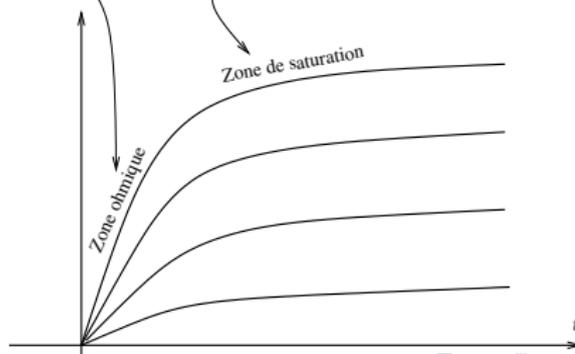
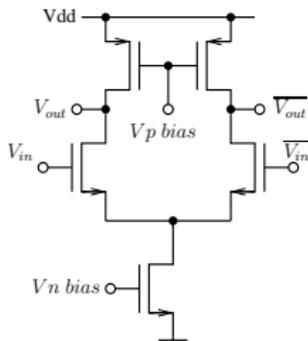
Partie gauche



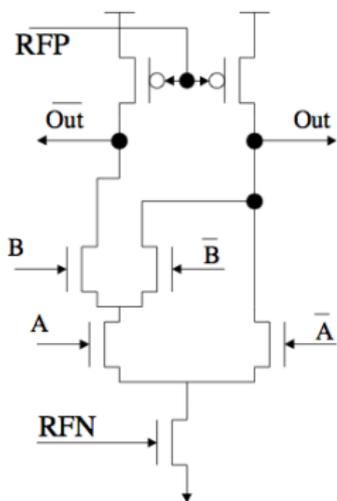
NMOS

Le transistor est ici en régime de saturation.

C'est un inverseur :
 une définition correspondante des tensions
 d'entré-sortie

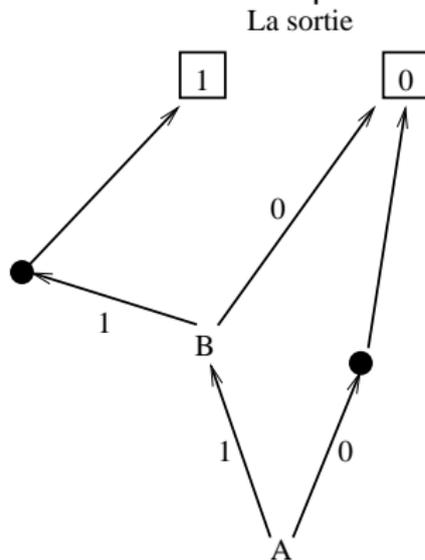


Exemple d'une cellule logique complexe (1)

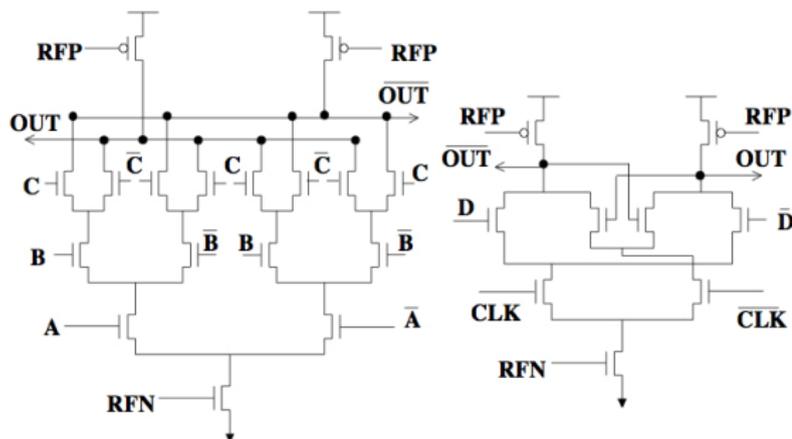


AND/NAND/OR/NOR

Arbre de décision pour AB



Exemple d'une cellule logique complexe (2)

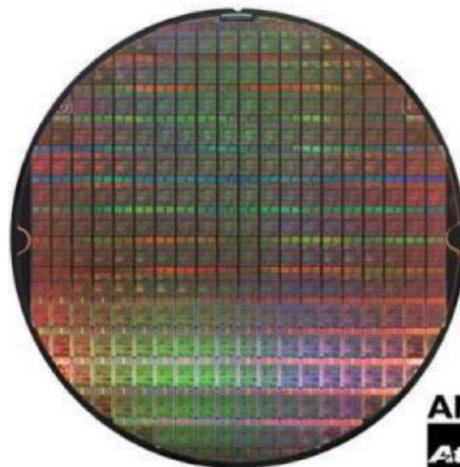
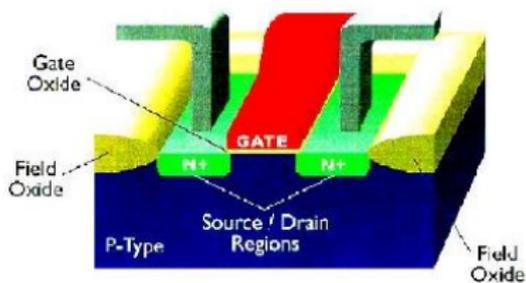


XOR3

D Latch

Question TD: établissez l'arbre de décision pour le circuit XOR3 et donnez la table de vérité d'après ce schéma

Rappel : transistor MOS

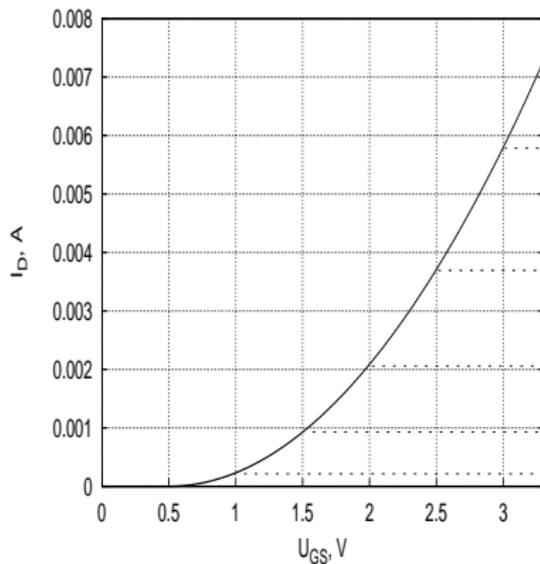


Wafer : le diamètre peut aller jusqu'à 12 pouces (30 cm)
(www.amd.com)

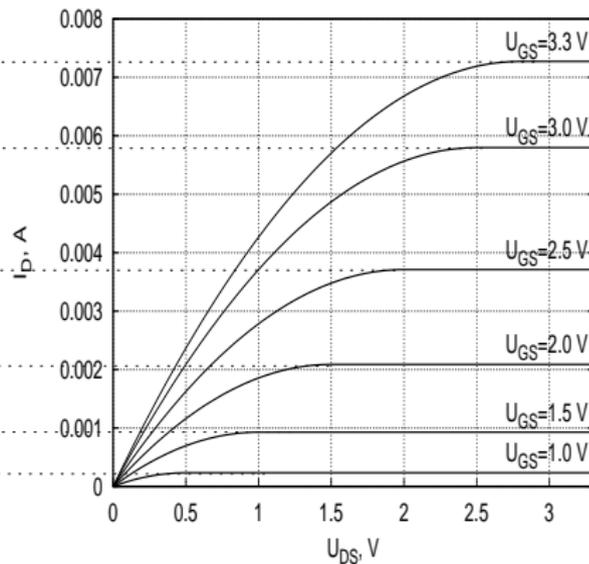


Caractéristique de transistor MOS

Caractéristique de transmission d'un transistor en régime de saturation



Famille des caractéristiques de sortie d'un transistor



Caractéristique de transistor MOS

$$I_d = \begin{cases} \mu C_{ox} \frac{W}{L} \left((V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right), & \text{en régime ohmique} \\ \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2, & \text{en régime de saturation} \end{cases} \quad (1)$$

La grandeur $V_{gs} - V_{th}$ s'appelle V_{eg} (tension effective de grille). Dans le modèle quadratique elle a la même valeur que $V_{ds\ sat}$.

La frontière entre le régime ohmique et le régime de saturation est donnée par l'égalité :

$$V_{ds} = V_{gs} - V_{th} = V_{dsat}$$

Caractéristique de transistor MOS

Paramètres petit signal basses fréquences
Transconductance de grille:

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = \begin{cases} \mu C_{ox} \frac{W}{L} V_{ds}, & \text{en régime ohmique} \\ \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) = \frac{2I_d}{V_{eg}}, & \text{en régime de saturation} \end{cases} \quad (2)$$

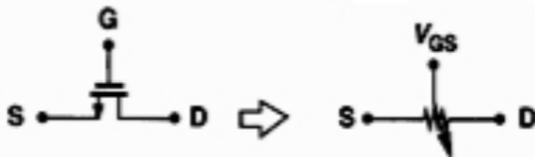
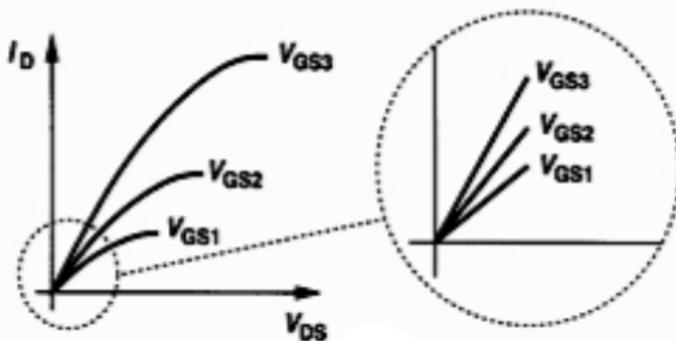
Conductance de sortie :

$$g_{ds} = \frac{\partial I_d}{\partial V_{ds}} = \begin{cases} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{ds} - V_{th}), & \text{en régime ohmique} \\ 0, & \text{en régime de saturation} \end{cases} \quad (3)$$

Lors des mesures de ces paramètres, le transistors est soumis aux lentes variations : régime quasi-statique, souvent dit "statique".

Réalisation d'une résistance

Transistor en mode triode (ohmique)



Rappel sur le dimensionnement de transistor MOS

L'objectif de la conception d'un circuit CMOS est de trouver les dimensions de transistors (W et L), aussi bien que les tensions de polarisation qui doivent être générées de l'extérieur.

Un transistor MOS: dans une technologie donnée, le concepteur dispose de 4 variables qu'il peut définir librement : W , L + deux grandeurs électriques. Si la tension de bulk doit être prise en compte, il s'agit de 5 grandeurs.

Par exemple, $I_d = f(V_{gs}, V_{ds}, W, L)$. $f(\cdot)$ est donnée par le modèle du transistor.

Ainsi, en fixant V_{gs} , V_{ds} , W et L , l'état électrique d'un transistor est défini d'une manière unique.

Au lieu de V_{gs} et V_{ds} on peut prendre autres grandeurs : I_{ds} , V_{gs} , V_{ds} , V_{eg} , mais il faudra inverser le modèle (la fonction $f(\cdot)$).

Si W n'est pas connu : il faut identifier 4 autres grandeurs, par ex., I_d , V_{ds} , V_{gs} et L .

Plutôt que de fixer V_{gs} , on fixe souvent $V_{eg} = V_{gs} - V_{th}$.

Données numériques pour la suite

- 1 Pour toutes nos expériences et exercices, on choisit la technologie AMS 0.35
- 2 Les données dont on a besoin sont:

$$C_{ox} = \frac{\epsilon_{Si}\epsilon_0}{t_{ox}} = \frac{4 \cdot 8.85 \cdot 10^{-12}}{7.7 \cdot 10^{-9}} \frac{F}{m^2}$$
$$\mu_n = 4.035 \cdot 10^{-2} \frac{m}{Vs}$$
$$\mu_p = 2.04 \cdot 10^{-2} \frac{m}{Vs}$$
$$V_{th} = 0.5V$$

Remarque : la tension de seuil est définie comme la tension grille-source pour laquelle le substrat sous la grille devient intrinsèque, i.e., le début de l'inversion de type de conductivité et de la création de canal. Cette tension est donc difficile à définir avec précision en réalité.

Objectifs

- 1 Comprendre comment concevoir la cellule d'inverseur différentiel en mode courant:
 - 1 pour maîtriser le fonctionnement en mode grand signal
 - 2 pour maîtriser le fonctionnement en mode commun
 - 3 pour maîtriser le fonctionnement en mode petit signal
- 2 Comprendre comment choisir les paramètres d'entrées pertinents et indépendants

Analyse grand signal: introduction

On parle d'une analyse en régime grand signal lorsque les évolutions des grandeurs électriques provoquent ou sont susceptibles de provoquer des changements de régimes de fonctionnement des éléments non-linéaires.

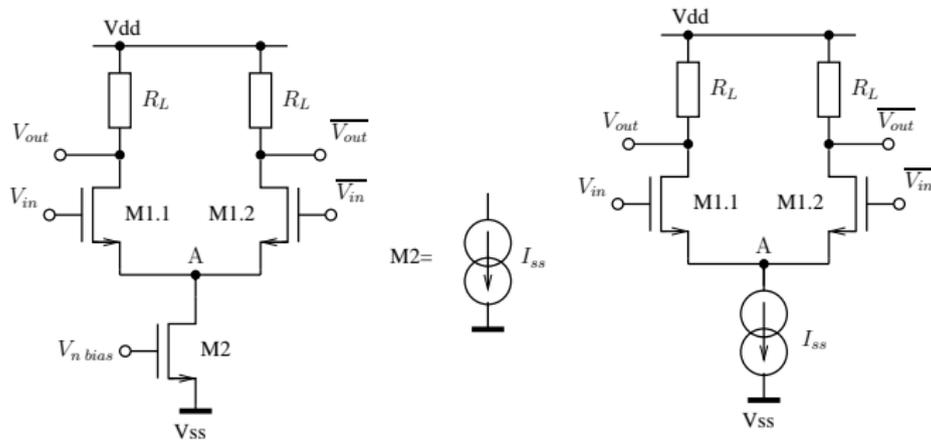
Typiquement, cette analyse est utilisée pour :

- étudier le phénomène de *slew rate* d'amplificateurs
- étudier les limites de l'amplitude de la tension d'entrée

...

Dans notre cas, on l'utilise pour étudier le fonctionnement de la cellule lorsque les niveaux logiques en entrées sont bien définis, et les tensions prennent les valeurs extrêmes ($V_{in H}$, $V_{in L}$).

Analyse grand signal



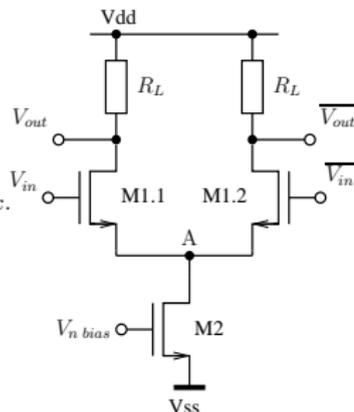
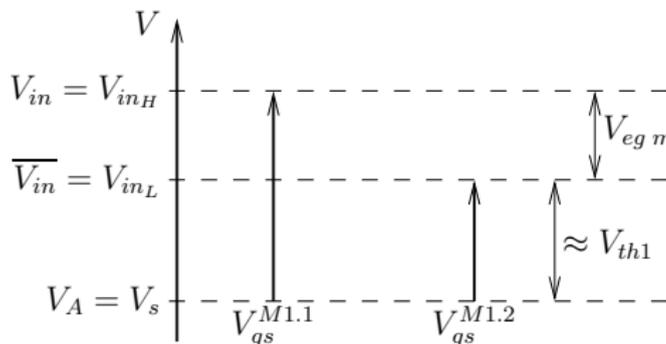
$$V_{in} = V_{in H}, \overline{V_{in}} = V_{in L}$$

Lorsque les entrées reçoivent "1" logique, on souhaite que tout le courant I_{ss} passe par la branche gauche. Ainsi, M1.1 est passant, M1.2 est bloqué, et nous avons pour les sorties :

$$\overline{V_{out}} = V_{dd}, V_{out} = V_{dd} - R_L I_{ss}.$$

Analyse d'inverseur en mode grand signal: l'entrée

Polarisation de la paire différentielle :



Pour que le transistor M1.2 soit bloqué, il faut V_{gs} soit en dessous/à la limite de V_{th} . Ainsi, on voit que l'excursion maximale des tensions à l'entrée $\Delta V_{in} = V_{inH} - V_{inL}$ vaut $V_{gs} - V_{th} = V_{eg\ max}$ du transistor passant. Cette valeur de V_{eg} est maximale pour la paire différentielle.

Analyse d'inverseur en mode grand signal: la sortie

Considérons maintenant la sortie de l'inverseur.

Rappel : $\overline{V_{out}} = V_{dd}$, $V_{out} = V_{dd} - R_L I_{ss}$, $\Delta V_{out} = R_L I_{ss}$.

La contrainte : le transistor passant (M1.1 en l'occurrence) doit rester en saturation quand la tension d'entrée est maximale ($V_{in} = V_{in H}$).

Cela impose pour ce transistor :

$V_{ds} > V_{gs} - V_{th}^{M1}$, ou, autrement dit,

$V_s > V_g - V_{th}^{M1}$ (exprimée via les tensions des nœuds).

$\overline{V_{out}} = V_{out L} > V_{in H} - V_{th}^{M1}$

Cela revient à $V_{in H} - V_{out L} < V_{th}^{M1}$.

Spécificité de dimensionnement dans le contexte "oscillateur"

Dans un oscillateur les étages sont montés en cascade.
Cela impose une contrainte de compatibilité entre les entrées et les sorties.

Autrement dit, $V_{in H} = V_{out H}$, $V_{in L} = V_{out L}$

On parle donc des excursions de la tension à l'entrée et en sortie, qui sont égales et sont imposées par la structure de l'inverseur :

$$\Delta V_{in} = \Delta V_{out} = \Delta = I_{ss} R_L = V_{eg max}.$$

Ainsi, si on veut que le transistor M1.1 reste en saturation, d'après la dernière formule sur le transparent précédent, on voudra que :

$$V_{eg max} = I_{ss} R_L < V_{th M1.1}$$

Analyse d'inverseur en mode grand signal: le mode commun

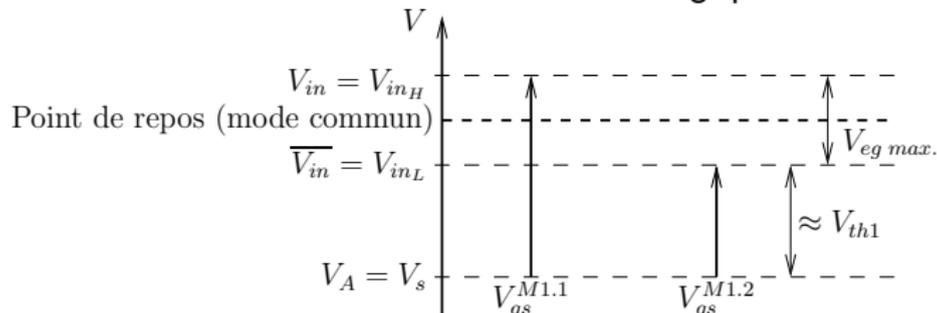
Un oscillateur est un amplificateur à la base (considération de gain, fonction de transfert)

Il démarre d'un point DC qui peut être stable ou métastable : pour l'étudier, il faut étudier les propriétés d'amplificateur en point DC (gain, marge de phase...).

Analyse d'inverseur en mode grand signal: le mode commun

Ce point DC est le point de repos, i.e., l'état où la tension différentielle est nulle.

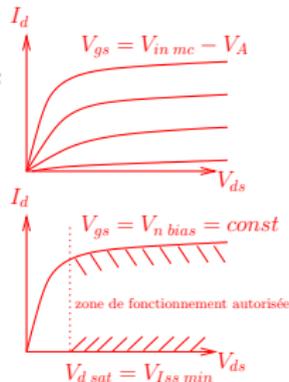
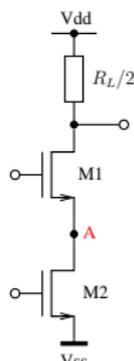
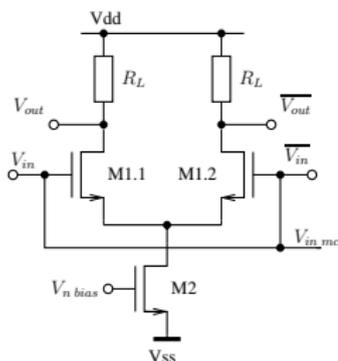
Il se trouve au milieu entre les niveaux logiques d'entrée-sortie :



$$V_{in\ mc} = V_{out\ mc} = (V_{out\ H} + V_{out\ L})/2 = V_{dd} - I_{ss}R_L/2.$$

Etude d'inverseur en mode courant

Analyse en mode commun : on fait varier $V_{in\ mc}$ de 0 à V_{dd} et on considère la tension $V_{out\ mc}$ et les états de transistors:



Limite basse pour $V_{in\ mc}$: M2 à la limite entre le régime linéaire et saturation:

$$V_{in\ mc} \geq V_{gs1} + V_{n\ bias} - V_{th\ n}$$

Limite haute pour $V_{in\ mc}$: M1 à la limite entre le régime linéaire et saturation:

$$V_{in\ mc} \leq V_{dd} \text{ et } V_{in\ mc} \leq V_{dd} - \frac{R_L}{2} I_{ss} + V_{th\ n}$$

Etude d'inverseur en mode courant

Mode commun, caractéristique de transfert statique
 On fait varier la tension d'entrée m.c. de 0 à V_{dd} :

$V_{in\ mc}$	M2	V_A	M1	$V_{out\ mc}$	I_{mc}
0 ↓	$V_{gs} = V_n\ bias, V_{ds} = 0 \rightarrow$ Triode	0	$V_{gs} = 0 \rightarrow$ bloqué	V_{dd}	0
V_{th1}	$V_{gs} = V_n\ bias, V_{ds} = V_A \rightarrow$ Triode	0	$V_{gs} = V_{th}$: limite sat. $V_{ds} = V_{dd}$	V_{dd}	0
↓ ↓ ↓	$V_{gs} = V_n\ bias, V_{ds} = V_A \rightarrow$ Triode I_d augmente	↓ ↓ ↓	$V_{gs} > V_{th}$ $V_{ds} = V_{out} - V_A$ Saturation	↓ ↓ ↓	↓ ↓ ↓
$V_{in\ mc}^{min}$	$V_{gs} = V_n\ bias, V_{ds} = V_A = V_d\ sat$	$V_{d\ sat}^{M2}$	Si bien conçu $V_{ds} = V_{out} - V_A > V_d\ sat$	$V_{dd} - \frac{I_{SS} R_L}{2}$	I_{SS}
↓ ↓ ↓	Le trans. est en saturation Le courant augmente un peu car r_{ds} est finie	↓ V_{in-} V_{gs}^{M1}	Saturation V_g augmente, V_d diminue $V_{gs} \approx const$ (fixé par I_{SS})	↓ ↓ ↓	↓ ↓ ↓
$V_{in}^{mc} = V_{dd}$	$V_A = V_{dd} - V_{gs\ M1}$		Si $V_{th} > R_L I_{SS}$: saturation Sinon, triode	$\frac{V_{dd}}{2}$ $\frac{I_{SS} R_L}{2}$	$\approx I_{SS}$

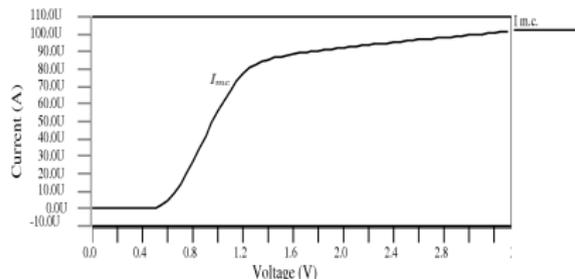
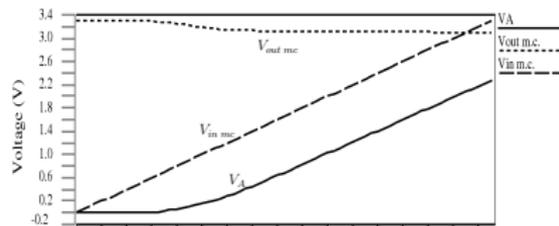
Etude d'inverseur en mode courant

Analyse en mode commun : la sortie

Tant que le transistor M2 génère un courant quasi-constant (en régime de saturation),

$$V_{out\ mc} = V_{dd} - \frac{I_{ss}R_L}{2}$$

C'est également la tension maximale de la sortie en mode commun.



Etude d'inverseur en mode courant: point de repos (DC)

Dans le contexte d'oscillateur, l'entrée d'une cellule est connectée à la sortie d'une autre. Ainsi, il est important que la tension de repos (m.c.) soit la même à l'entrée et à la sortie. (On revient vers les courbes m.c.). $V_{in\ mc} = V_{out\ mc}$

C'est à dire,

$$V_{in\ mc} = \frac{V_{in\ L} + V_{in\ H}}{2} = V_{out\ mc} = \frac{V_{out\ L} + V_{out\ H}}{2}.$$

Cette valeur est donc le point de repos ou DC pour la cellule d'inverseur. Les oscillations démarrent à partir de ce point. Pour étudier les condition de mise en oscillation et pour pouvoir concevoir la cellule, il faut considérer le mode "dynamique" : les gains mc et md.

Analyse dynamique

Condition à respecter au point de repos (m.c.) : les deux transistors doivent être en saturation.

Puisque

$$V_{out\ mc} = V_{in\ mc} = V_{dd} - R_L \frac{I_{ss}}{2},$$

$V_{in\ mc} < V_{in\ H}$: si à $V_{in\ H}$ les transistors sont en saturation, ils le seront également à $V_{in} = V_{in\ mc}$.

Cela est garanti si $R_L I_{ss} < V_{th\ M1}$, comme dit plus haut.

Dans le point de repos, le mode commun doit avoir une caractéristique "petit signal" ne lui permettant pas d'osciller. Dans le cas d'oscillateur à 3 cellules, nous avons :

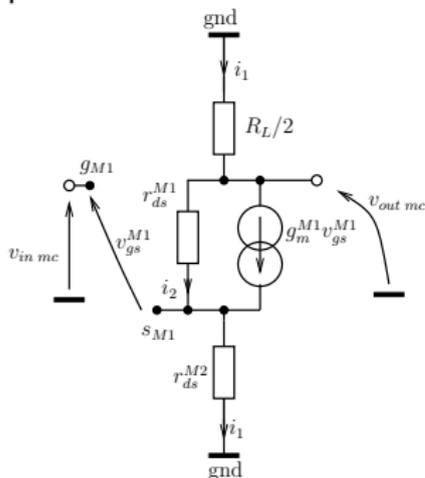
$$|G_{mc}| < 2,$$

$$|G_{md}| > 2.$$

Pour assurer ces exigences, il faut calculer les gains m.c. et m.d.

Analyse petit signal en mode commun

Schéma équivalent
 petit signal
 pour le mode commun :



$$v_{out\ mc} = -i_1 \frac{R_L}{2}$$

$$i_1 = i_2 + g_m^{M1} v_{gs}^{M1} = i_2 + g_m^{M1} (v_{in\ mc} - i_1 r_{ds}^{M2}) \quad (\text{Loi des noeuds})$$

$$i_2 = \frac{-i_1 \frac{R_L}{2} - i_1 r_{ds}^{M2}}{r_{ds}^{M1}} \quad (\text{Loi des mailles})$$

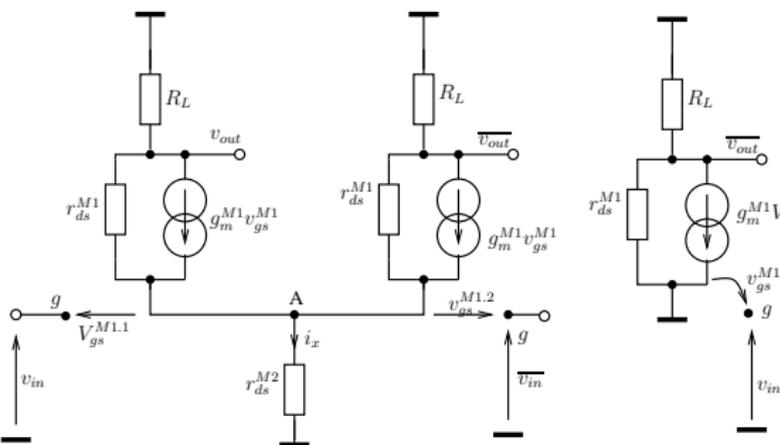
$$i_1 = -i_1 \frac{\frac{R_L}{2} - r_{ds}^{M2}}{r_{ds}^{M1}} + g_m^{M1} v_{in\ mc} - i_1 g_m^{M1} r_{ds}^{M2}$$

$$i_1 = v_{in} \frac{g_m^{M1}}{\frac{R_L}{2r_{ds}^{M1}} + \frac{r_{ds}^{M2}}{r_{ds}^{M1}} + g_m^{M1} r_{ds}^{M2} + 1}$$

$$v_{out\ mc} = -v_{in} \frac{g_m^{M1} R_L/2}{\frac{R_L}{2r_{ds}^{M1}} + \frac{r_{ds}^{M2}}{r_{ds}^{M1}} + g_m^{M1} r_{ds}^{M2} + 1} \approx -v_{in\ mc} \frac{R_L}{2r_{ds}^{M2}}$$

$$|G_{mc}| = \left| \frac{v_{out\ mc}}{v_{in\ mc}} \right| = \frac{R_L}{2r_{ds}^{M2}} \ll 1$$

Analyse petit signal: mode différentiel



Analyse par demi-circuit :

$$v_{out} = -v_{in} g_m^{M1} R_L \frac{r_{ds}^{M1}}{r_{ds}^{M1} + R_L}$$

$$G_{md} = -g_m^{M1} R_L \frac{r_{ds}^{M1}}{r_{ds}^{M1} + R_L} \approx -g_m^{M1} R_L$$

Dans le contexte d'oscillateur en anneau à 3 étages, G_{md} doit être supérieur à 2 !

On démontre que si $v_{in} = -\overline{v_{in}}$ (mode purement différentiel)
 $i_x = 0$ (démontrez !)
 et $v_A = 0$

Analyse petit signal: mode différentiel (suite)

Comment peut-on concevoir la cellule pour respecter les contraintes m.c. données transp. 26 et la condition de gain différentiel au point de repos ?

$$G_{md} = -g_m^{M1} R_L$$

Or R_L est imposé par l'excursion du signal de sortie ΔV :

$$R_L = \frac{\Delta V}{I_{ss}}$$

$$g_m^{M1}: \text{ au repos, } g_m^{M1} = \frac{2I_d^{M1}}{V_{eg}^{M1}}$$

$$\text{or } I_d^{M1} = I_{ss}/2$$

$$g_m^{M1} = \frac{I_{ss}}{V_{eg}^{M1}}$$

V_{eg}^{M1} : on aimerait que lorsque $V_{in} = V_{in H}$ et $\overline{V_{in}} = V_{in L}$, le transistor M1.2 soit bloqué. Alors, comme montre le transp. 21, $V_{eg mc} \approx \Delta V/2$.
Ainsi, $V_{eg m1}$ est fixé par ΔV , et ainsi, G_{md} est fixé par ΔV et I_{ss} .

Analyse petit signal: mode différentiel (suite)

Calculons le gain G_{md} :

$$g_m^{M1} = \frac{I_{ss}}{V_{eg}^{M1}} = \frac{2I_{ss}}{\Delta V}$$

Sachant que $R_L = \frac{\Delta V}{I_{ss}}$,

on a : $G_{md} = g_m^{M1} R_L = 2 !!!$

Ainsi, en posant

$$I_{ss} \text{ et } V_{eg}^{M1} = \frac{\Delta V}{2},$$

on a fixé le gain ...

En réalité il est un peu supérieur à deux, et est égal à ≈ 2.25

Cela tombe bien, car $G_{md \min} = 2$ pour que les oscillations puissent démarrer.

Analyse petit signal: mode différentiel (suite)

Dimensionnement des transistors : il faut connaître 4 grandeurs pour M1 et M2.

Il y a 2 transistors à dimensionner.

On commence par M1 (la paire différentielle)

En mode commun (repos) :

$$V_d = V_g = V_{in\ mc} = V_{out\ mc} = V_{dd} - \Delta V/2,$$

- $I_{ds} = I_{ss}/2,$
- L est fixé généralement à $L_{min},$
- $V_{eg} = \Delta V/2,$
- Ainsi, avec $V_{dg} = 0,$ il y a 4 paramètres connus.

On en trouve W et $V_{gs},$ ce qui fixe

$$V_{gs}^{M1} = V_A$$

M2 : c'est plus simple.

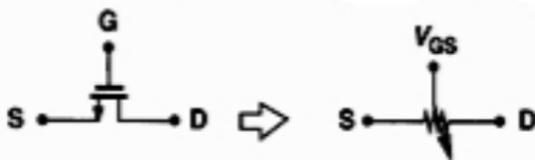
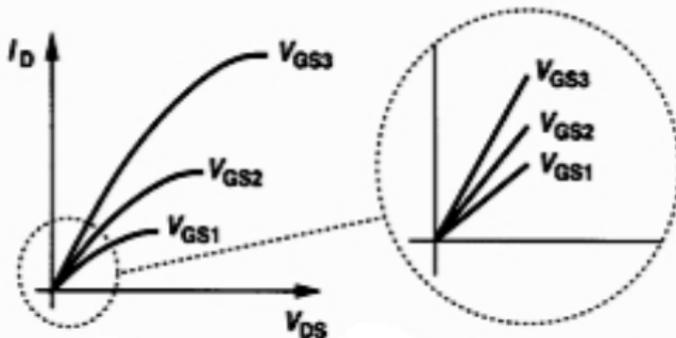
V_A permet de fixer V_{ds}

On connaît L et $I_d = I_{ss}.$

Le concepteur doit fixer V_{eg} : il peut être grand pour minimiser la taille de transistor.

De ce jeu de paramètres on peut déduire W et $V_{gs}.$

Réalisation d'une résistance: trans. en régime ohmique



Réalisation d'une résistance: trans. en régime ohmique

Une résistance de charge est réalisée avec un PMOS en régime ohmique.

Cela n'est pas facile :

Pour ce transistor nous avons les données suivantes :

L

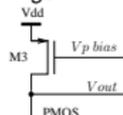
$$I_{ds} = I_{ss}/2,$$

$$V_{ds} = V_{out\ mc} = \Delta V/2;$$

g_{ds} est fixé par la valeur de la résistance

En plus, en régime ohmique,

$$V_{gs} > V_{ds} + V_{th}.$$



Considérons le modèle quadratique.

$$I_{ds} = \mu_p C_{ox} \frac{W}{L} V_{ds} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \quad (*)$$

$$g_{ds} = \frac{\partial I_{ds}}{\partial V_d} = \mu_p C_{ox} \frac{W}{L} (V_{gs} - V_{th} - V_{ds})$$

On exclut W/L :

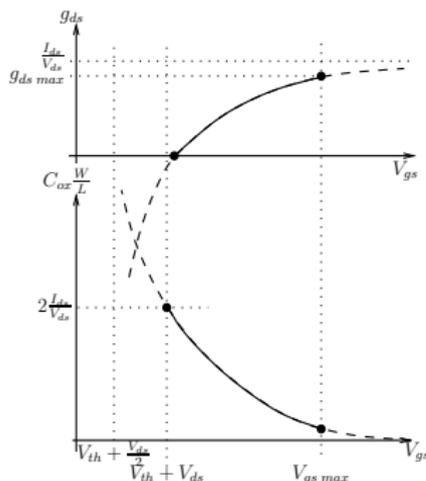
$$g_{ds} = \frac{I_{ds}}{V_{ds}} \frac{V_{gs} - V_{th} - V_{ds}}{V_{gs} - V_{th} - \frac{V_{ds}}{2}}$$

ou

$$g_{ds} = \frac{I_{ds}}{V_{ds}} \left(1 - \frac{V_{ds}}{2(V_{gs} - V_{th} - \frac{V_{ds}}{2})} \right) \quad (**)$$

Réalisation d'une résistance: trans. en régime ohmique (2)

Les deux formules permettent d'avoir une idée sur les possibles g_{ds} et W :



$$g_{ds} = \frac{I_{ds}}{V_{ds}} \left(1 - \frac{V_{ds}}{2(V_{gs} - V_{th} - \frac{V_{ds}}{2})} \right) (**)$$

à $V_{gs\ min} = V_{th} + V_{ds}$: $g_{ds} = 0$!

$$\mu_p C_{ox} \frac{W}{L} = \frac{I_{ds}}{V_{ds}} \frac{1}{V_{ds} - V_{th} - V_{gs}/2}$$

A $V_{gs} = V_{gs\ min} = V_{th} + V_{ds}$:

$$\left(\mu_p C_{ox} \frac{W}{L} \right)_{\max} = 2 \frac{I_{ds}}{V_{ds}}$$

Réalisation d'une résistance: trans. en régime ohmique (3)

Les équations du transparent précédent suggèrent que le problème de dimensionnement du transistor de charge est surcontraint. En effet, après avoir fixé I_{ds} , V_{ds} et g_m , V_{gs} est fixé (**) et donc W/L est fixé.

En pratique, même pour V_{gs} maximale (proche de $-V_{dd}$), la conductance de la charge est plus grande que ce qui est exigé par la formule $R_L = \Delta V / I_{ss}$. Dans ce cas, il n'y a pas de choix : il faut fixer $V_{gs \text{ load}}$ à la valeur maximale, et de retenir la valeur de $g_{ds \text{ load}}$ maximale. Les oscillateurs vont démarrer quand même, car le gain en mode différentiel sera encore plus grand que ce qui est nécessaire pour le démarrage des oscillations.

Réalisation d'une résistance: question TD

Pour la technologie AMS035, trouvez la conductance maximale pour un courant de $100\mu\text{A}$, tension drain-source nominale de 0.4 V, et la longueur minimale. Estimez la linéarité du transistor dans ce point.

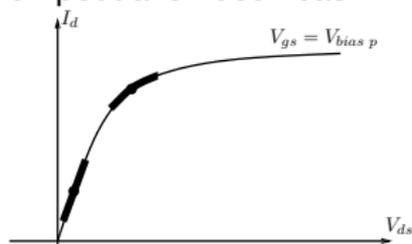
Réalisation d'une résistance: problème de non-linéarité

Attention à deux aspects :

- 1 $\frac{W}{L}$ est limité : W_{min} est imposé par la techno, W_{max} par le bon sens (par ex., la surface occupée, les capacités parasites, etc..).
- 2 Un transistor MOS est une bonne résistance lorsque $V_{ds} \gg V_{gs} - V_{th}$, soit $V_{gs} \ll V_{ds} + V_{th}$.

L'étude qui a été faite est valable pour le régime statique, ou pour le régime de petit signal.

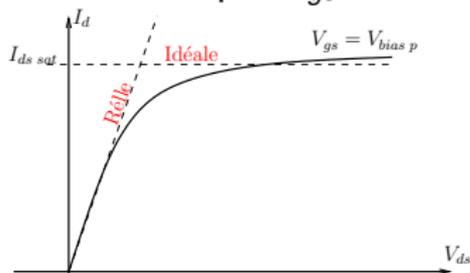
En réalité, l'amplitude n'est pas infinitesimale, et selon la position du point de polarisation sur la caractéristique de sortie du transistor, on peut avoir deux cas :



Selon la valeur de la résistance, le calcul peut donner l'un ou l'autre cas, mais le fonctionnement dynamique ne sera pas le même!

Réalisation d'une résistance: problème de non-linéarité

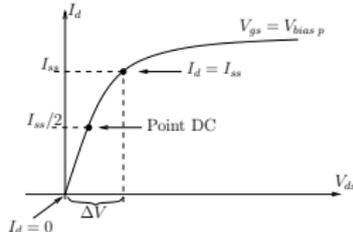
Une résistance MOS est un dipôle non-linéaire dont la caractéristique I-V est fixée par V_{gs}



Dans le contexte d'oscillateur, c'est le courant qui est imposé: selon les tensions d'entrée, $I_d = 0..I_{SS}$, avec $I_{d\ dc} = I_{SS}/2$. On peut alors avoir deux cas :

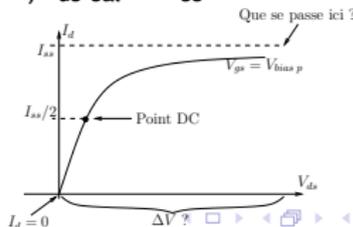
1) $I_{ds\ sat} > I_{SS}$:

On a le fonctionnement suivant :



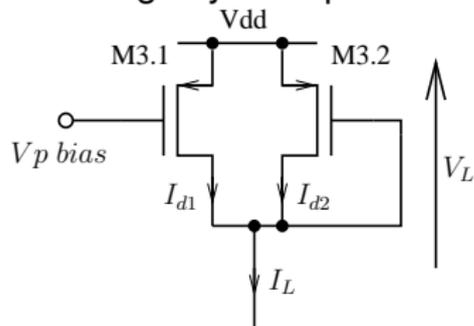
C'est à peu près correcte...

2) $I_{ds\ sat} < I_{SS}$:



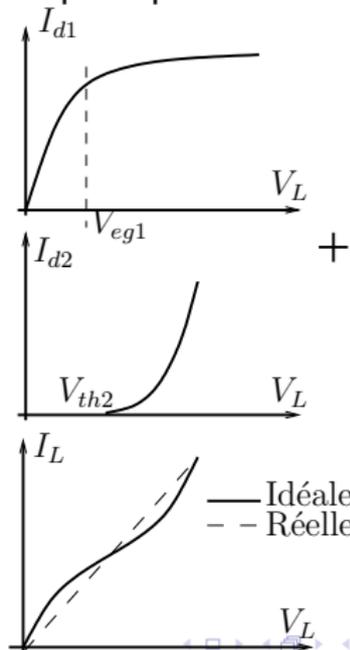
Réalisation d'une résistance: charge symétrique

Pour limiter la plage de V_{ds} pour laquelle la résistance est très grande, on utilise la technique de la "charge symétrique".



M32 est monté en diode quadratique.

Le principe :



Charge symétrique : dimensionnement

La caractéristique I-V de la charge symétrique dépend du rapport entre la tension V_{eg1} et la tension V_{th2} . La première dépend de la tension $V_{bias p}$, car $V_{eg1} = V_{bias p} - V_{th1}$. Le circuit utilise les deux transisteurs identiques. Nous considérons le cas limite, où

$$V_{eg1} = V_{th2}.$$

Si $V_L < V_{eg1}$:

$$\begin{aligned} I_L = I_{d1} &= \mu C_{ox} \frac{W}{L} \left((V_{bias p} - V_{th1}) V_L - \frac{V_L^2}{2} \right) = \\ &= -\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_L - \underbrace{(V_{bias p} - V_{th1})}_{V_{eg1}})^2 + \underbrace{\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{bias p} - V_{th1})^2}_{I_{d1 sat}} = \\ &= -\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_L - V_{eg1})^2 + I_{d sat1}. \end{aligned}$$

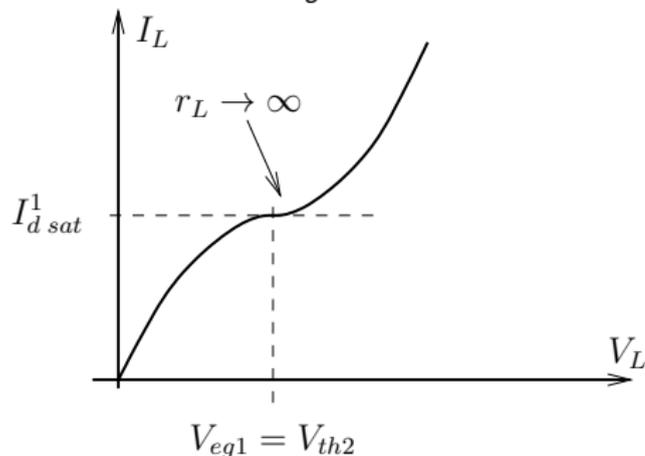
Charge symétrique : dimensionnement

Si $V_L > V_{eg1}$:

$$I_L = I_{d\text{ sat}} + I_{d2} = I_{d\text{ sat}} + \frac{1}{2}\mu C_{ox}(V_L - V_{th2})^2$$

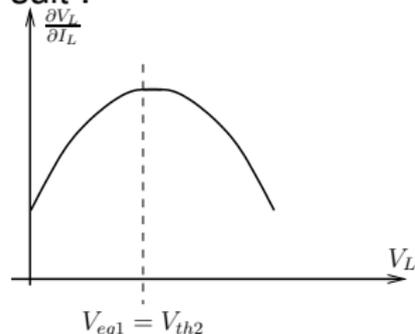
La caractéristique $I_L(V_L)$ est parfaitement symétrique vis-à-vis de la

droite $I_L = V_L \cdot \frac{I_{d\text{ sat}}^1}{V_{eg1}}$ si $V_{th2} = V_{eg1}$ et tant que $V_L < 2V_{eg1}$.



Charge symétrique : dimensionnement

La résistance $\frac{\partial V_L}{\partial I_L}$ évolue comme suit :



Il est donc possible de choisir le point central comme le point DC (m.c.).

Ainsi, le gain en ce point sera élevé et les oscillations démarreront. Lorsque l'amplitude augmente, la résistance de charge et donc le gain diminuent: ceci est le contrôle d'amplitude.

Inconvénient : lorsque $V_{eg1} = V_{th2}$, la résistance de charge est maximale et est égale $2r_{ds\ sat}$ - très élevée.

Cela risque de faire baisser la fréquence d'oscillations. Solution : augmenter V_{eg1} . Ainsi, M3.2 commence à conduire avant que M3.1 n'entre en saturation.

Oscillateur : fréquence

Nous avons vu que la fréquence d'oscillation est donnée par le retard de la cellule. Il est difficile de l'estimer précisément.

En supposant que notre oscillateur est quasi-linéaire, i.e., que la charge reste dans la zone linéaire, on peut utiliser la formule classique (Rabaye):

$$\tau = 0.69(R_L(C_{out} + C_{in}))$$

$$C_{out} = C_{gdn} + C_{dbn} + C_{dbp} + C_{gdp}$$

$$C_{in} = C_{gsn}$$

Contrôle de fréquence

- Agir sur la résistance de charge : la tension de polarisation V_{biasp}
- Agir sur le courant I_{SS} : modifie les valeurs des capacités MOS et de jonctions de drain et de source, et (effet indésirable), modifie la résistance de charge (car modifie V_{eg1} pour le cas de la résistance symétrique).

Conception robuste de la cellule

– Deux questions :

1) Sensibilité de la fréquence d'oscillations vis-à-vis de la tension d'alimentation

2) génération des deux tensions de polarisation

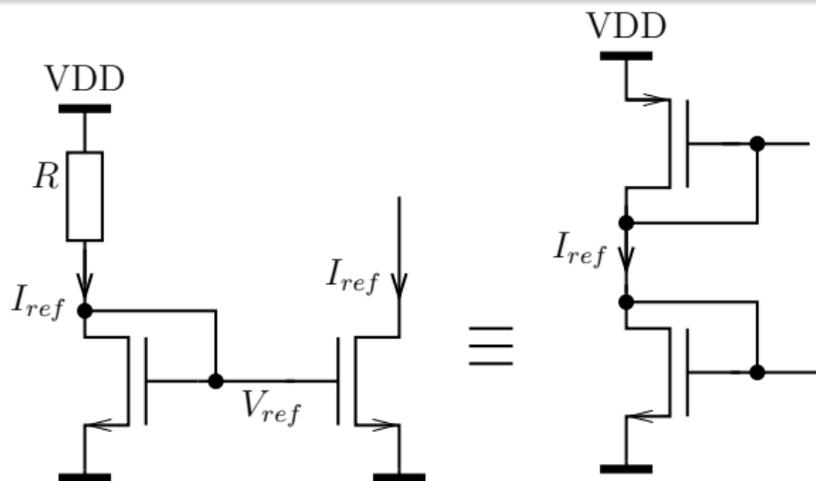
– si la source de courant I_{SS} est idéale: insensible aux variations de la tension d'alimentation,

– Sinon, étudier la variation du délai en fonction des variations des alimentations. Attention, toutes les grandeurs bougent en même temps: le courant, la résistance de charge, les capacités... Approche expérimentale est à privilégier.

Génération des tensions de polarisation

- On parle de la conception de circuits de polarisation
- Une conception intelligente permet de rendre le circuit insensible aux variations de l'alimentation, de température, de process...
- Point important : garantir un régime linéaire au circuit

Génération des tensions de polarisation: circuit élémentaire



Le défaut : I_{ref} est très sensible aux variations d'alimentations.

Exercice: trouver I_{ref} si on connaît $(W, L)_1$ et $(W, L)_2$, et V_{dd} .

Calculez $\frac{\partial I_{ref}/I_{ref}}{\partial V_{dd}/V_{dd}}$.