

## INDUS - TP2, partie I : Dessin de masques d'un amplificateur différentiel dans l'environnement CADENCE

Dimitri GALAYKO

### Avant propos

Ce TP fait l'objet d'un compte-rendu qui devra être envoyé par email sous la forme d'un seul fichier en **format pdf** au plus tard dans la semaine qui suit la deuxième séance sur l'adresse **eldar.zianbetov@lip6.fr**.

Le compte-rendu doit inclure :

- Des captures d'écran des vues *layout* et *extracted*.
- La comparaison entre les résultats de simulation du circuit conçu et extrait – analyse AC uniquement.
- Le chemin vers vos fichiers
- Le déroulement de vos manipulations.

Pour lancer l'éditeur de dessin de masque, dans la fenêtre de *Library Manager* faites *file* → *new* → *cell view*. Dans la fenêtre qui s'ouvre indiquez le nom de la cellule d'amplificateur, le type de la vue (*layout*) et l'outil (*Layout L*). Le nom de la vue par défaut *layout* apparaît automatiquement dans le champ *view*. Faites *OK*. Une fenêtre d'édition de dessin de masques apparaît.

## 1 Éléments d'un dessin de masques

Vous saisissez les masques (le *layout*) pour la fabrication de votre circuit dans la fenêtre d'édition de dessin de masques de l'outil *Virtuoso Layout Suite L*. À gauche vous verrez une sous-fenêtre verticale *Layers* – elle permet de sélectionner le ou les masque(s) modifiables avec les commandes d'édition courantes. Les boutons *AV*, *AS*, *NS* et *NV* signifient *all visible*, *all selectable*, *none visible*, *none selectable*. En appuyant sur le bouton *none visible* on « cache » toutes les couches sauf celle sélectionnée dans la fenêtre; en appuyant sur le bouton *NS* on interdit la sélection de toutes les couches. Cette dernière commande est particulièrement utile lorsque l'on souhaite éditer un dessin dense réalisé sur plusieurs couches superposées. On peut réactiver la sélectabilité des couches une par une en cliquant avec un bouton droit sur une ou plusieurs couches dans la fenêtre d'édition de masques.

Si on souhaite placer un nouvel élément sur le layout, on va dans le menu *create* → *instance* (raccourci clavier *I* majuscule) : on choisit la vue *layout* de la cellule que l'on souhaite instancier. À l'aide de cette commande on peut également placer des sous-circuits dont le dessin de masques est déjà défini – par exemple, une porte logique. C'est avec cette

commande que vous placerez les 5 transistors du circuit.

On relie les transistors avec les couches de métal et de polysilicium (*cf.* le paragraphe 3).

Pour pouvoir intégrer le dessin de masque de votre cellule dans un flot de conception hiérarchique, il faut définir les terminaux. Pour cela on utilise les dispositifs spéciaux nommés *pins* (bornes). Ils ressemblent aux *pins* utilisés dans le schéma électrique, dans la mesure où ils servent à donner des noms aux nœuds électriques. Une différence est cependant à noter : dans la vue *schematic* les pins sont uniquement utilisés pour définir les terminaux d'interface de la cellule. Les nœuds locaux et globaux sont définis différemment (pour cela plusieurs possibilités existent...). Or les *pins* du dessin de masque peuvent être utilisés pour nommer tous les nœuds – globaux, locaux et ceux d'interface. Pour placer les pins de la cellule, il faut faire le choix des couches sur lesquels les pins seront placés. D'habitude, on place les pins sur le premier niveau de métal (*metal1*). Les pins sur le layout doivent avoir le même nom que sur le schéma.

Pour placer un pin (par ex., *inplus*), on sélectionne la couche dans laquelle on souhaite créer le pin. Les pins sont dessinés dans les couches avec *Purpose "net"* (sous-fenêtre *Layers*). Ainsi, on choisit la couche *metal1 net*. Ensuite on va dans le menu *Create → pin*, on donne le nom (*Terminal Names*, et on dessine un petit rectangle qui doit se trouver sur une piste de *metal1* qui correspond au terminal en question. Par la suite, il faut créer une étiquette (*label*) qui porte le nom du terminal, et la placer sur la pastille dessinée précédemment. Dans le menu *Create → Label*, on définit une étiquette avec un nom correspondant et on la place sur le layout. On peut ajuster la taille de la police du texte qui apparaît à l'écran. Notez que les terminaux globaux *vdd* et *gnd* sont à placer sur le layout de la même manière.

## 2 Géométrie des transistors

Les transistors possèdent plusieurs options permettant de définir leur layout. C'est dans les propriétés des transistors que l'on peut les modifier, même après le placement du transistor.

Nombre de grilles (doigts). Par défaut, vos transistors sont très larges (en fait, longs, mais il s'agit du *W* qui a une valeur très grande par rapport à *L*). Pour améliorer le facteur de forme des transistors, il faut demander de couper le transistor en plusieurs segments (*digits*). Cela se fait à l'aide du paramètre *fingers* dans la forme définissant les paramètres de transistor. Expérimentez avec ce paramètre de sorte à obtenir une forme à peu près carrée.

Pour pouvoir router les doigts d'un transistor long, il faut cocher l'option *diffContactCenter*. Par la suite, il faudra router à la main les drains, les sources et les grilles du transistor "composé" ainsi obtenu.

Les autres paramètres définissent la position des contacts du transistor ; vous pouvez garder leurs valeurs par défaut.

Notez que dans les technologies modernes, le substrat n'est pas dopé. Ainsi, les transistors

pmos sont placés dans un caisson n et les transistors nmos dans un caisson p. N'oubliez pas qu'un transistor MOS est un élément à 4 terminaux, dont un est le substrat. Pour chaque transistor il faut donc prévoir une prise (contact) de caisson dans lequel le transistor est placé (cf. plus bas pour les contacts).

### 3 Connexions électriques – routage, vias

Les connexions électriques sont réalisées dans les couches *metalx*, où *x* désigne le numéro de la couche de métal, ou dans la couche *POLY1* (Polysilicium). Pour définir ces couches on utilise les masques portant les mêmes noms avec mention (*purpose*) *drawing* – cette mention est affichée en face des noms de masque dans la sous-fenêtre des couches.

On utilise plusieurs niveaux de connexion pour router un circuit complexe. Une des approches possibles (que nous vous recommandons pour ce TP) est de définir toutes les connexions horizontales dans une couche de métal et les connexions verticales dans une autre. Souvent on utilise des couches à part pour router les alimentations et la masse, les horloges etc... Notre cellule est relativement simple, deux couches de métal (*metal1* et *metal2*) doivent suffire largement.

Les vias servent à connecter une couche à une autre : par exemple, la couche *metal1* à la couche *metal2*, ou *metal1* à *poly*, ou encore (très important !) un métal au substrat ou à un caisson (couche appelée *pwell* ou *nwell*), afin de connecter les terminaux *bulk* des transistors. Dans les deux derniers cas on parle des *bulk tie* (prises de caisson).

Pour placer un via : aller dans le menu *Create*→*via*. Pour choisir les couches connectée par le via, sélectionnez le type dans le menu *Via definition*. Les types PTAP et NTAP relient les caissons P et N avec le niveau métal 1, les vias *M1\_P* et *M1\_N* relient le niveau de métal 1 avec les zones de diffusion N et P (ils sont utilisés pour dessiner les transistors). Les autres noms de via sont auto-explicatifs (par ex., *M3-M2* relie les niveaux de métal 3 et 2).

### 4 Règles de dessin

Votre layout contiendra les couches suivantes, en plus des couches des métaux pour les connexions :

- *nwell* : caisson N (pour les transistors P)
- *pwell* : caisson P (pour les transistors N)
- *active* : zone active (définissant les drains, sources et grille des transistors N et P mos),
- *nimplant*, *pimplant* : zones de diffusion N et P, nécessaires pour définir les transistors N, P et les prises de caisson N et de substrat p.
- *poly* : les grilles des transistors

Normalement, en instanciant les transistors et les vias à travers les menus, vous n'aurez pas à manipuler directement toutes les couches, à part *nwell*, *pwell* et *poly*.

Le jeu des masques est utilisé par le procédé de fabrication pour définir la géométrie tridimensionnelle de la puce. Il existe de fortes contraintes aussi bien sur la géométrie d'un masque particulier (largeur minimal/maximal, angle, distance minimale entre deux éléments distincts...) que sur la disposition relative de différents masques. Par exemple, la couche de polysilicium dont sont fabriquées les grilles des transistors doit être dopée. Deux masques sont alors nécessaires : le premier masque (POLY) définit les dimensions précises de la grille, alors que le masque de dopage (pimplant ou nimplant) doit être un peu plus large, afin d'éviter un gradient de dopage sur les bords. Il existe également des restrictions sur la taille minimale de masques, sur l'espacement minimal, sur la géométrie etc.

Les règles de dessin complètes sont disponibles sur le wiki consacré à FreePDK :

<http://www.eda.ncsu.edu/wiki/FreePDK45:Contents>

Voici quelques exemples des règles de dessins que vous devrez respecter pour réaliser votre cellule.

- Un transistor pMOS doit être placé dans un caisson n (on se rappelle que le substrat est de type p). Ainsi, un transistor pMOS doit impérativement être inclus dans une zone définie par le masque *NTUB*.

- Un transistor nMOS doit être placé dans un caisson n (on se rappelle que le substrat est de type p). Ainsi, un transistor nMOS doit impérativement être inclus dans une zone définie par le masque *PTUB*.

- Il existe une taille minimale et des restrictions quant à l'espacement entre les éléments pour chaque masque; ces informations sont disponibles dans le wiki du design kit. L'application de ces règles est très facilement contrôlée par l'outil DRC (*Design Rules Check*, cf. le paragraphe 5).

## 5 Vérification des règles de dessin (DRC)

Pour vérifier la conformité du dessin de masques aux règles de dessin, on utilise l'outil Calibre de Mentor Graphics. Les règles de dessin sont décrites par le fournisseur de la technologie dans un fichier appelé *rules file*. Sur demande du concepteur, Calibre effectue une vérification du dessin en utilisant ce fichier. Nous recommandons d'effectuer cette vérification tout au long de la saisie de dessin de masque, afin de ne pas laisser les erreurs s'accumuler.

Pour lancer une DRC (*Design Rules Check*) :

- Dans la fenêtre d'édition de dessin de masque, aller dans le menu *Calibre*, et choisir *DRC*.

- Une fenêtre permettant de régler les paramètres de l'opération de contrôle. En lais-

sant les valeurs par défaut, cliquez sur OK. Attendez que le DRC se termine. Ensuite, les éventuelles erreurs seront affichées dans une nouvelle fenêtre. Vous pourrez les sélectionner et faire surbriller les zones du layout concernées par ces erreurs.

- Corrigez les erreurs détectées par Calibre. Le plus souvent il s'agira d'une inclusion insuffisante d'un masque dans un autre, d'un espacement trop petit, etc.
- Modifiez alors la géométrie du (des) masque(s) dans un bon sens et relancez la vérification.

## 6 LVS : Layout Versus Schematic

Cadence offre une possibilité de comparer le layout avec le schéma électrique original. Cette opération s'appelle LVS (Layout Versus Schematic). C'est toujours l'outil Calibre qui effectue cette vérification. Dans le menu Calibre, lancer LVS, observez les erreurs et corrigez les.

## 7 *layout* terminé

Lorsque la *DRC* ne génère pas d'erreurs, vous avez terminé la phase de saisi de layout.

On peut passer à la vérification de la conformité du dessin de masque au schéma électrique que vous aviez conçu. Vous allez extraire le schéma électrique *avec* les éléments parasites, la simuler et comparer les performances avec ceux affichées par le schéma électrique initial.

À suivre...